

Основы компьютерной техники (Computer Organization. Basis)

БГТУ

кафедра ПИ

доцент Самаль Дмитрий Иванович т. 293-23-79, [dmitry\_samal@mail.ru,](mailto:dmitry_samal@mail.ru) a.510б-5

Лекция 5

«Организация памяти-II» 2020

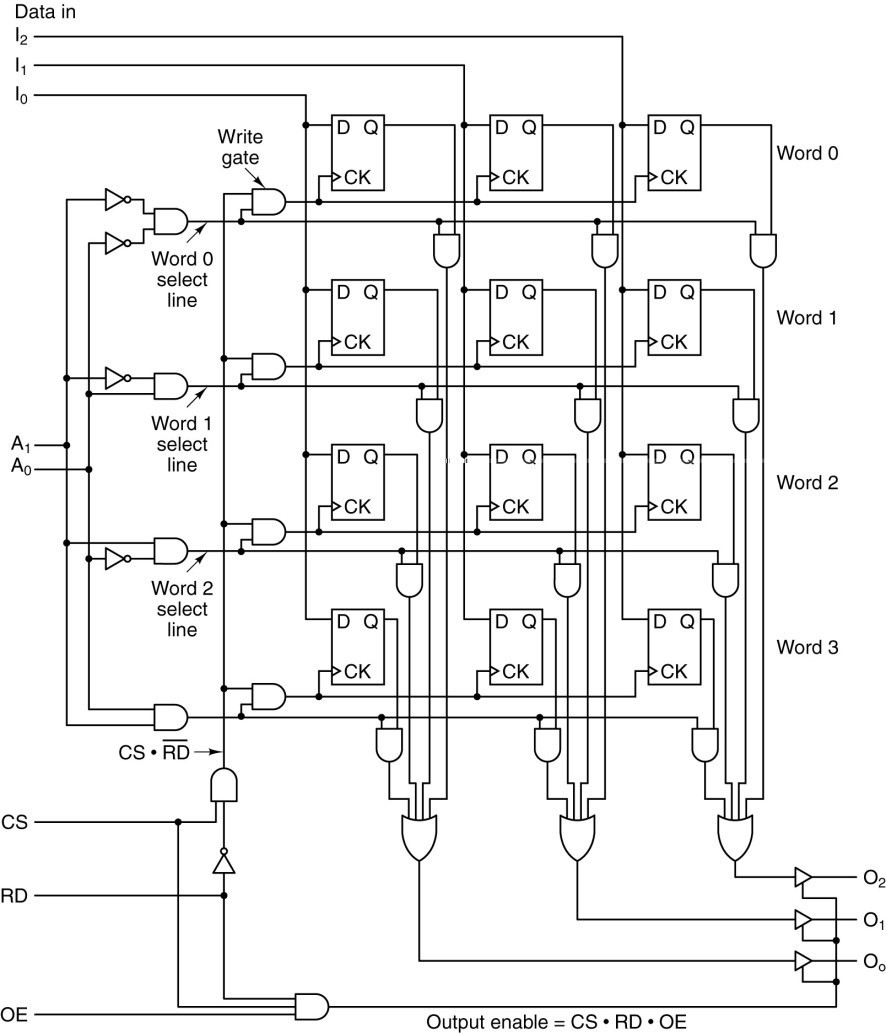
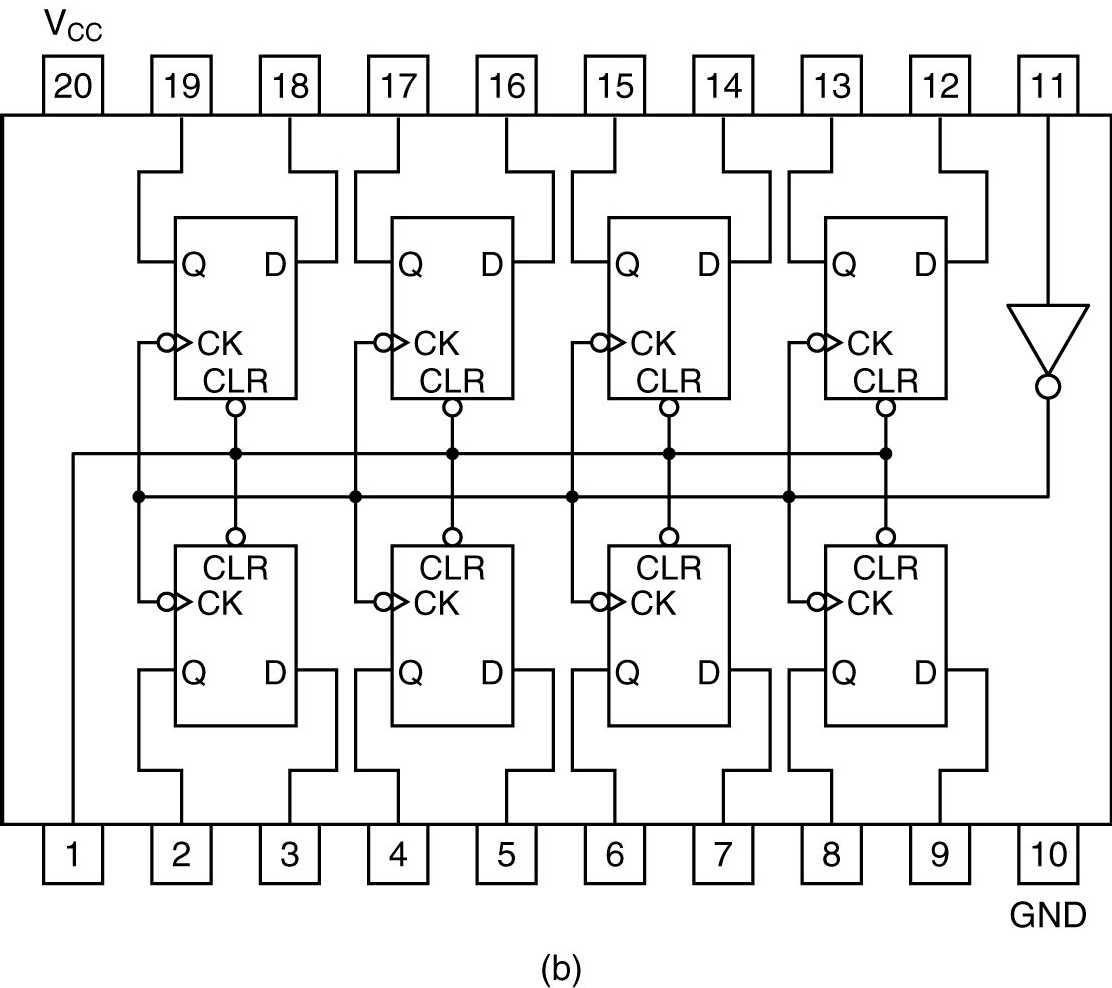


План лекции

1. Блочная организация основной памяти
2. Микросхемы памяти

***Слайд*** 2

# Memory Оrganization



8-бит – 20 выводов, 12 бит – 14 выводов.

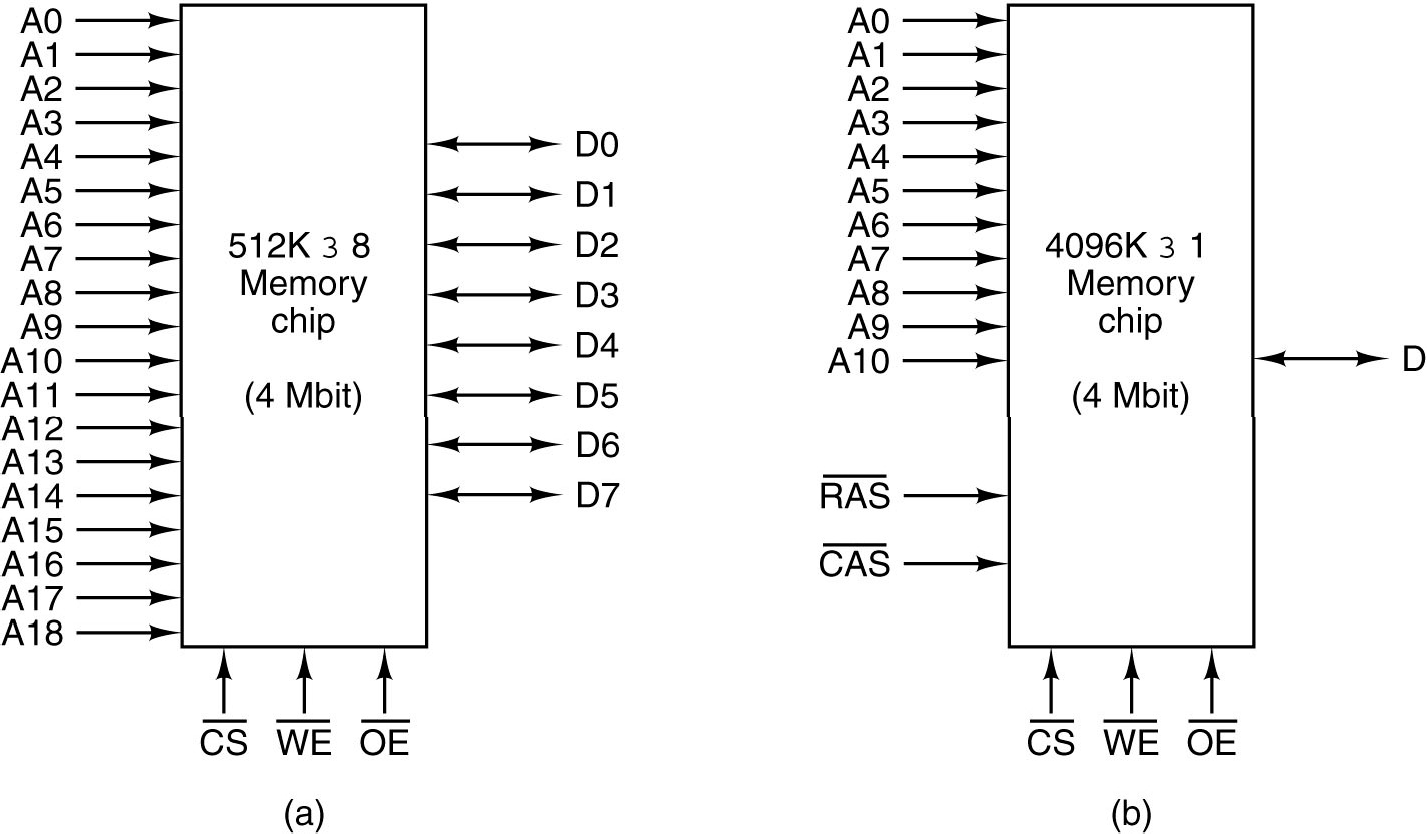


***Слайд*** 3



# Memory Chips

### Two ways of organizing a 4-Mbit memory chip.

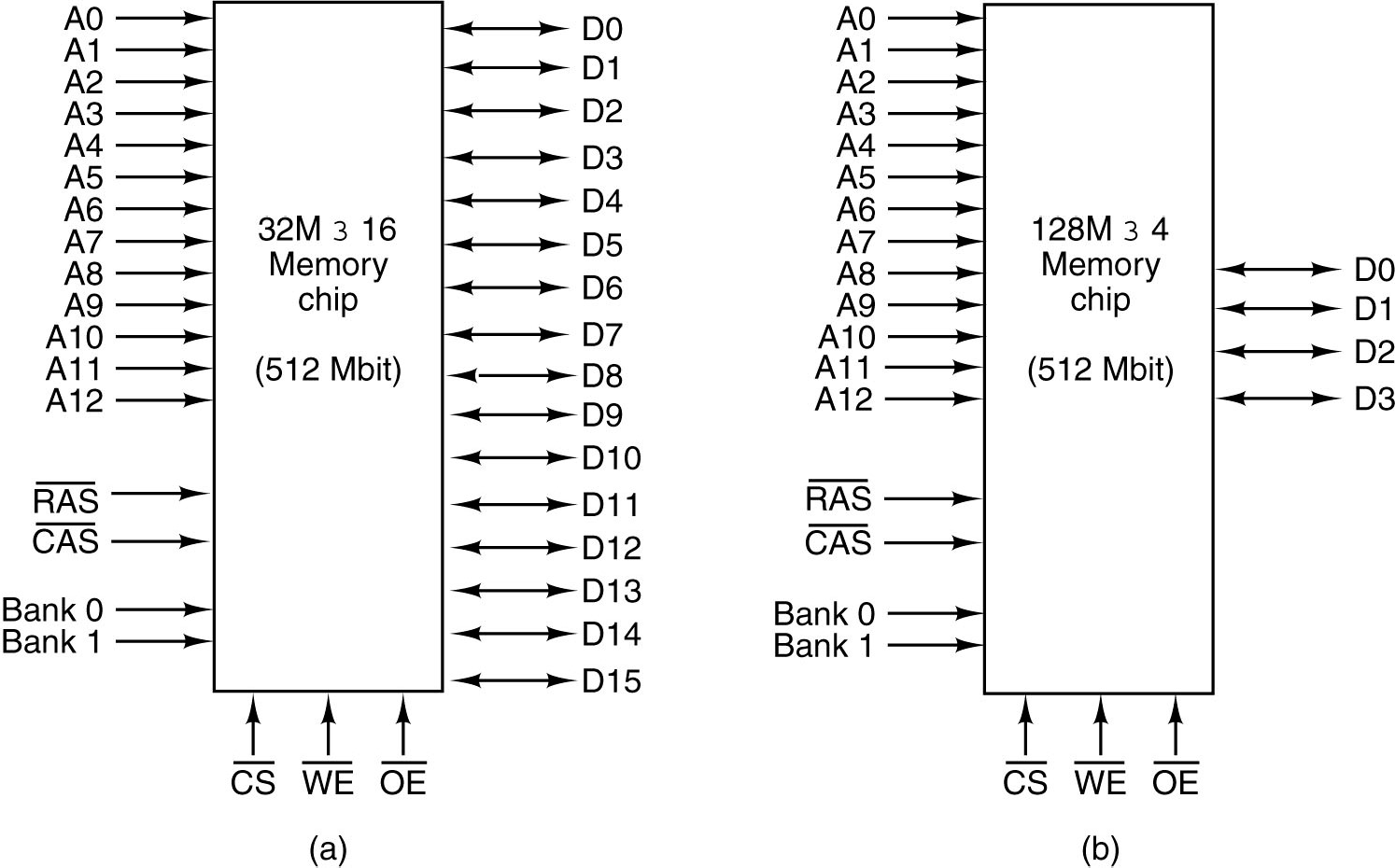


***Слайд*** 4



# Memory Chips

### Two ways of organizing a 512 Mbit memory chip.

***Слайд*** 5

Блочная организация памяти

Емкость современных ОЗУ слишком велика для одной ИМС. Также объединение нескольких ИМС ЗУ необходимо если разрядность ИМС меньше разрядности ШД.

###### *ЕслиобъединитьнесколькоИМСпоадреснымвходамдонужной* разрядности->этомодульпамяти(можетсостоятьиизоднойИМС).

*Одинилинесколькомодулей–банкпамяти.*

An



Dn-1

D1

D0

…

ИМС 0

ИМС 1

ИМС n-1

…

Am #CS



#WR

***Слайд*** 6



# Блочная организация памяти

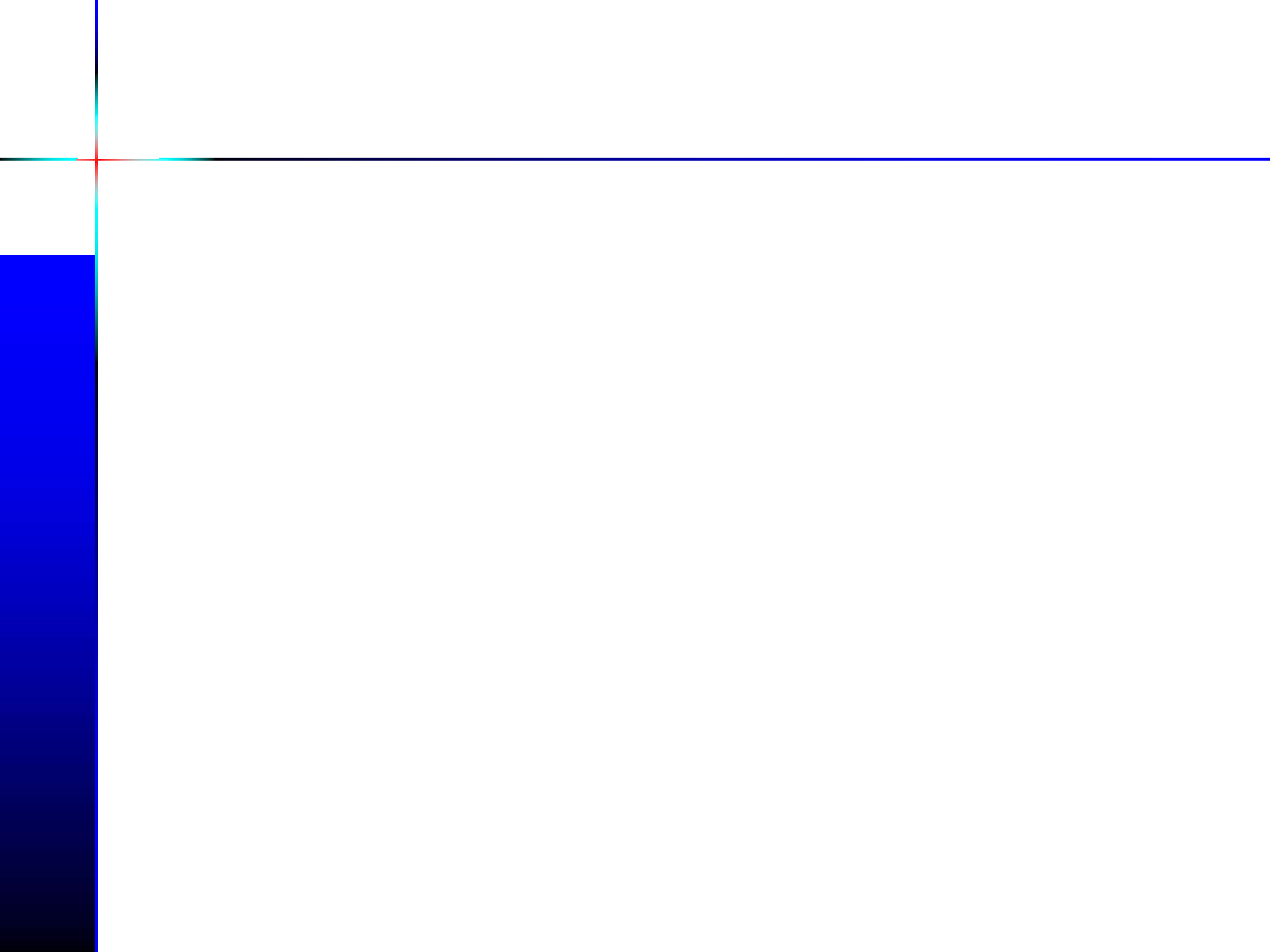
Для получения ЗУ нужной ёмкости – объединение нескольких банков памяти. Адрес ячейки A памяти из B банков -> (b,w), где b – номер банка, w – адрес ячейки в банке.

Три схемы распределения адресов A на (b,w): *Блочная(номербанкаb–старшиеразрядыадреса) Циклическая(b=AmodB;w=AdivB)*

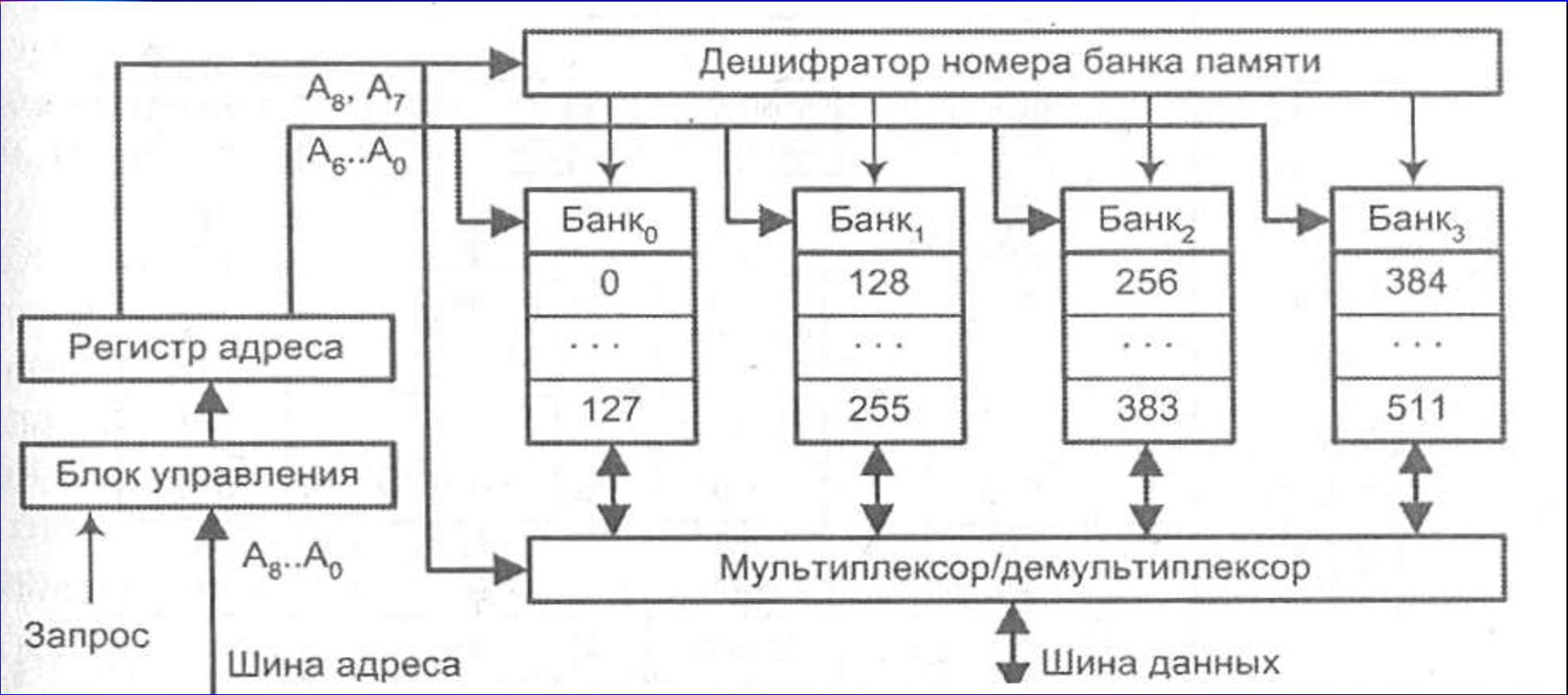
*Блочно-циклическая(комбинациядвухпредыдущих схем)*

Пример – память ёмкостью 512 слов – четыре банка по 128 слов в каждом (типовая структура по блочному принципу).

***Слайд*** 7



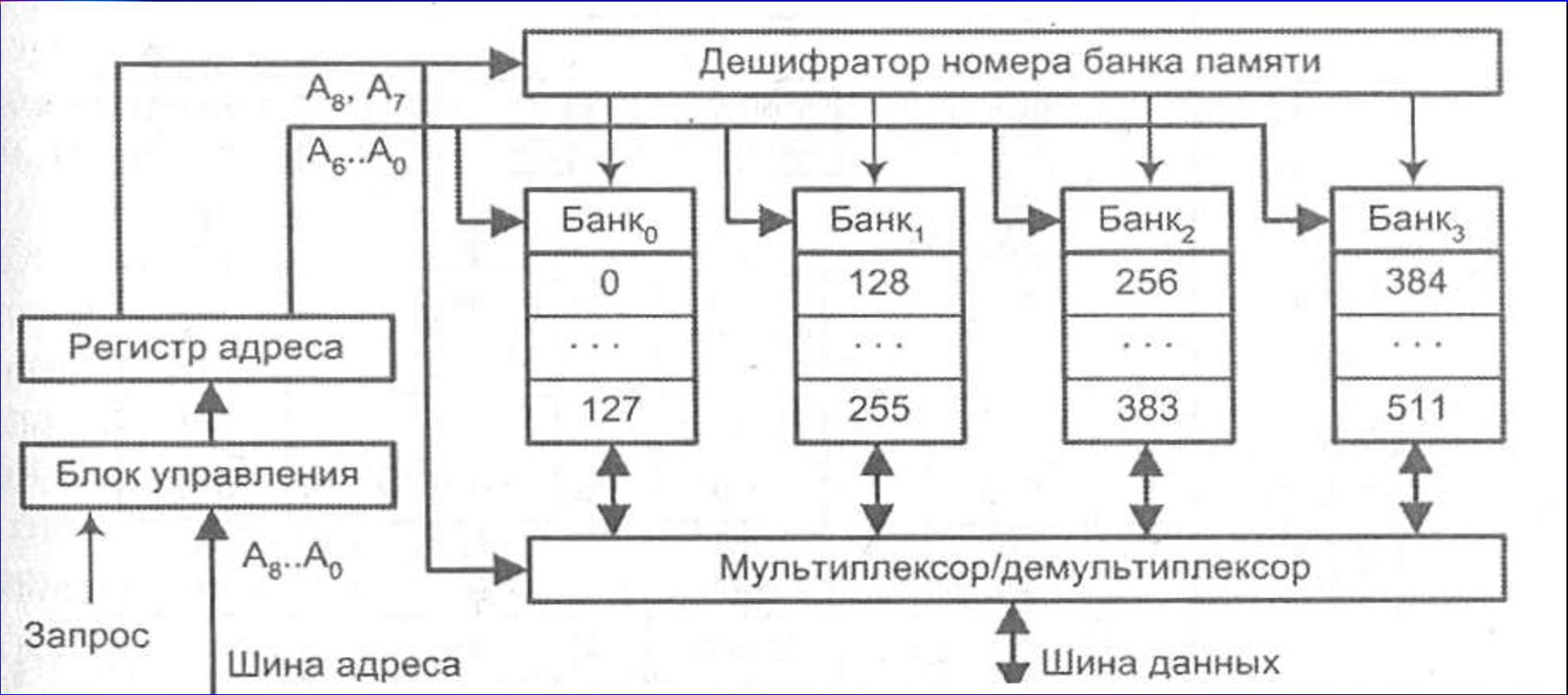
# Блочная организация памяти



Адресное пространство памяти разбито на группы последовательных адресов. Каждая такая группа обеспечивается отдельным банком памяти. Для обращения используется 9-разрядный адрес, семь младших разрядов которого (А6 - А0) поступают параллельно на все банки памяти и выбирают в каждом из них одну ячейку.

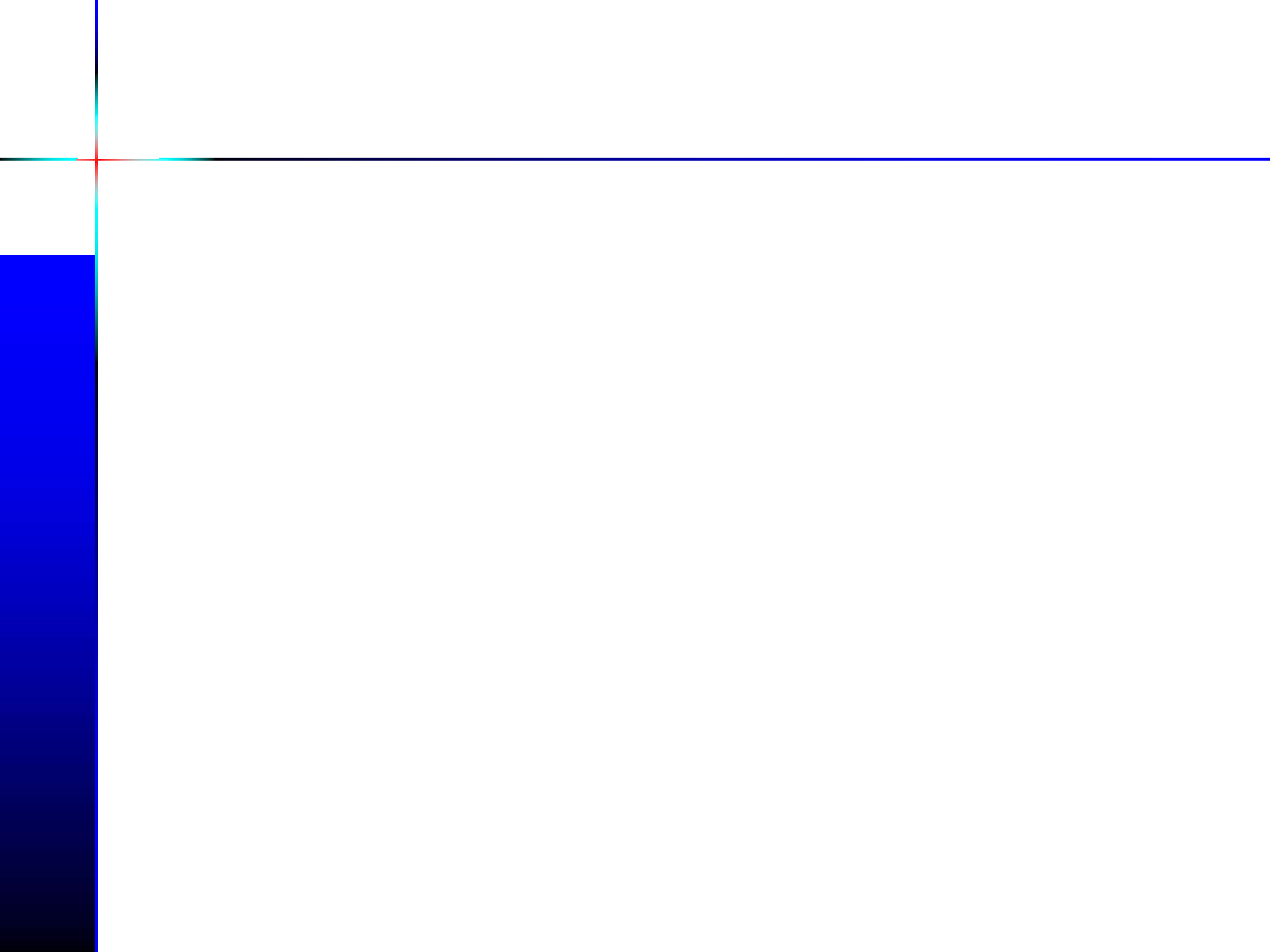
***Слайд*** 8

# Блочная организация памяти



Два старших разряда адреса (А8, А7) содержат номер банка. Выбор банка обеспечивается либо с помощью дешифратора номера банка памяти, либо путем мультиплексирования информации рис. иллюстрирует оба варианта). В функциональном отношении такая ОП может рассматриваться как единое ЗУ, емкость которого равна

суммарной емкости отдельных банков, а быстродействие – быстродействию отдельного банка.

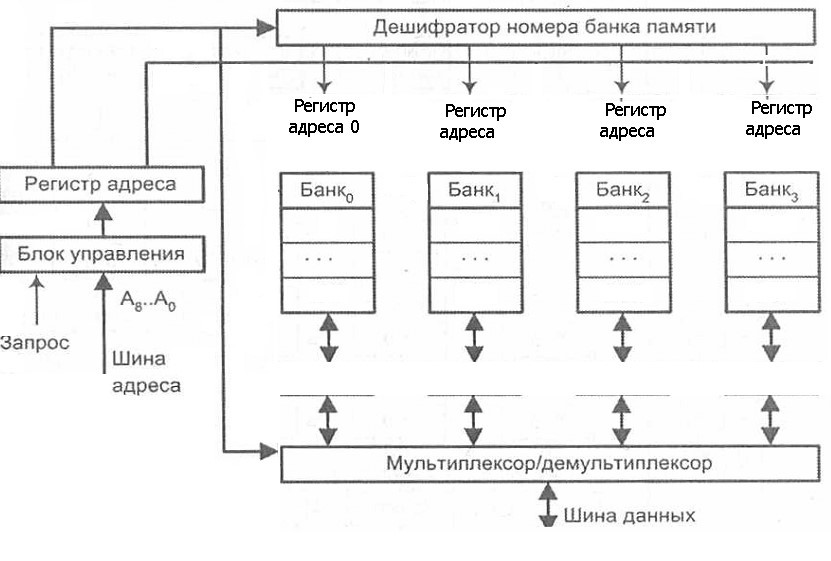


***Слайд*** 9



# Расслоение памяти

Блочная организация позволяет ускорять работу с памятью, а так же легко наращивать объём ЗУ. Скорость – из потенциальной возможности параллельного обращения к нескольким банкам одновременно. Один из вариантов – расслоение памяти. *Вего основе–чередованиеадресов(addressinterleaving),т.е.иное*



A1,A0

A8…A2

**2**

**0**

**1**

**2**

**3**

**508**

**509**

**510**

**511**

**Регистр**

**Регистр**

**Регистр**

**Регистр**

**1**

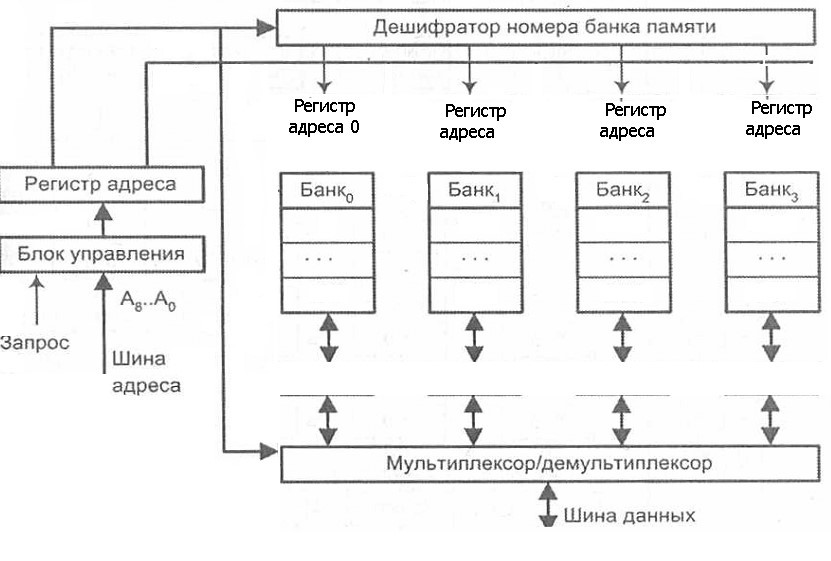
**3**

###### *распределение* адресов.

***Слайд*** 10

# Расслоение памяти

В каждом такте м.б. только один адрес на ШД и параллельное обращение к банкам невозможно, но в случае расслоения можно менять адрес каждый такт – и выбирать банки со сдвигом по адресу. Адреса запоминаются в регистрах банка и дальше – параллельная обработка. При B банках – время доступа сокращается почти в B раз.



A1,A0

A8…A2

**2**

**0**

**1**

**2**

**3**

**508**

**509**

**510**

**511**

**Регистр**

**Регистр**

**Регистр**

**Регистр**

**1**

**3**

Эффект – при посл. доступе.

Иначе – ситуация

«конфликт по доступу»

- если два и более запросов подряд к одному

банку.



***Слайд*** 11

# Расслоение памяти

Блочно-циклическая схема расслоения – каждый модуль – из нескольких банков, адресуемых по круговой схеме. Адреса между – модулями по блочной схеме. В итоге – адрес ячейки разбивается на три части: *модуль,банк,ячейкабанка.*

Модуль0

Модуль1

Модуль2

Модуль3



|  |
| --- |
| Банк0 |
| 0 |
| 2 |
| … |
| 126 |

|  |
| --- |
| Банк1 |
| 1 |
| 3 |
| … |
| 127 |

|  |
| --- |
| Банк2 |
| 128 |
| 130 |
| … |
| 254 |

|  |
| --- |
| Банк3 |
| 129 |
| 131 |
| … |
| 255 |

|  |
| --- |
| Банк4 |
| 256 |
| 258 |
| … |
| 382 |

|  |
| --- |
| Банк5 |
| 257 |
| 259 |
| … |
| 383 |

|  |
| --- |
| Банк6 |
| 384 |
| 386 |
| … |
| 510 |

|  |
| --- |
| Банк7 |
| 385 |
| 387 |
| … |
| 511 |

###### Расслоение хорошо работает *дляобычнойзадачи–благодаря* свойствулокальности.Вмногопроцессорныхсистемахсобщей памятью–несколькоконтроллеровдляавтономнойработы–по отдельныммодулям.Чембольшебанков–темменьшевероятность

*конфликта.Всуперкомп-реNECSX/3–128банковосновнойпам****С****я****ла****т****й****и****д*** 1.2



# Организация микросхем памяти

Интегральные микросхемы (ИМС) памяти организованы в виде матрицы ячеек, каждая из которых в зависимости от разрядности ИМС состоит из одного или более запоминающих элементов (ЗЭ). Каждый ЗЭ способен хранить 1 бит информации.

Для ЗЭ любой полупроводниковой памяти характерно:

* два стабильных состояния 0 и 1;
* в ЗЭ (хотя бы один раз) может быть произведена запись информации, посредством перевода в одно из двух возможных состояний;
* для определения состояния ЗЭ его содержимое может быть считано.

###### *ПриматричнойорганизацииИМСпамятиреализуетсякоординатный* принципадресацииячеек.

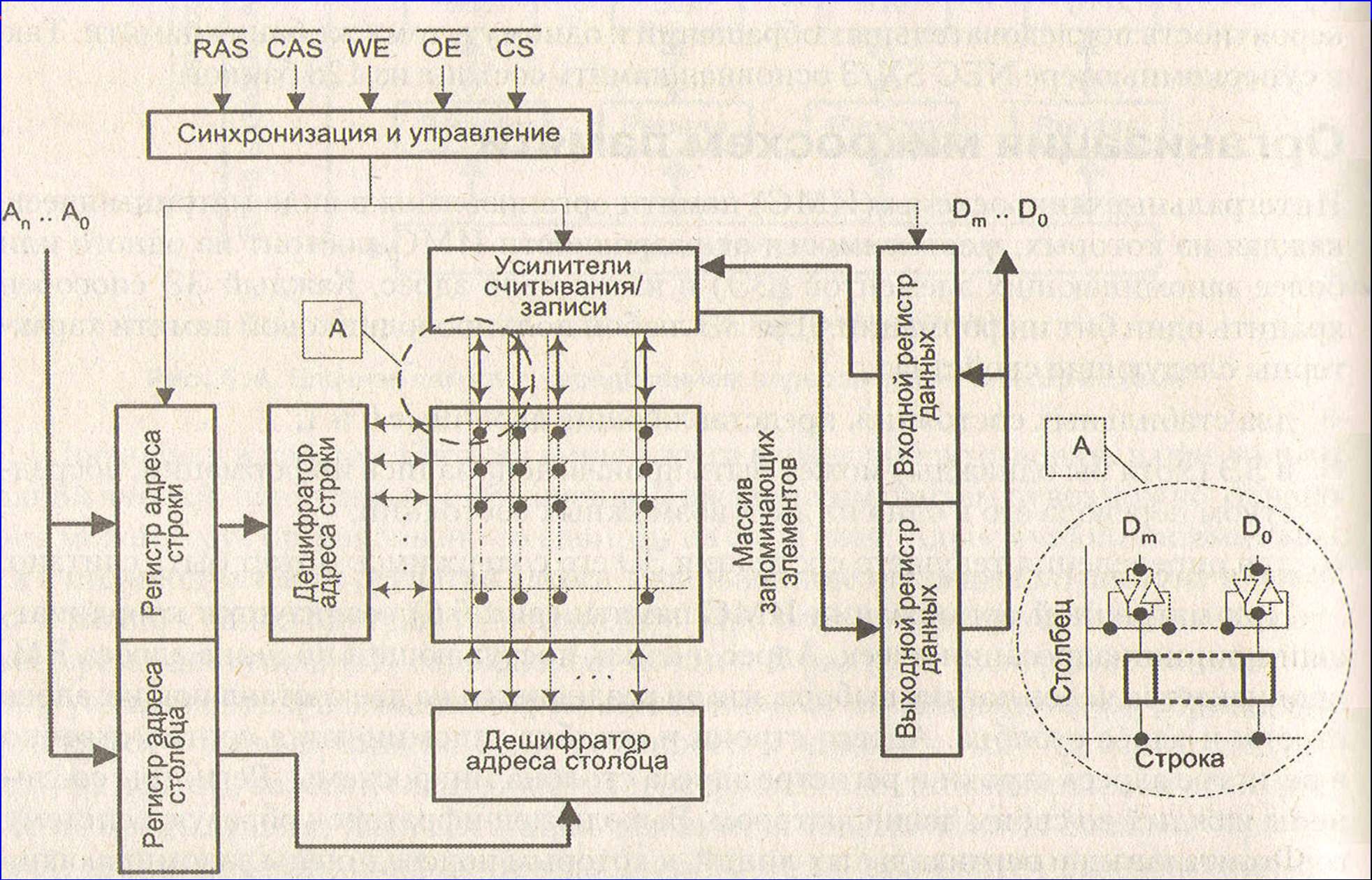
*Адресячейкиразделяетсялогикойвыборанадвесоставляющие– адресстрокииадресстолбца.*

###### *Адресазапоминаютсявсоответствующихрегистрах.Дешифраторы* регистроввыбираютвертикальныеигоризонтальныелинии,на пересечениикоторыхнаходятсяпоодномуЗЭ.

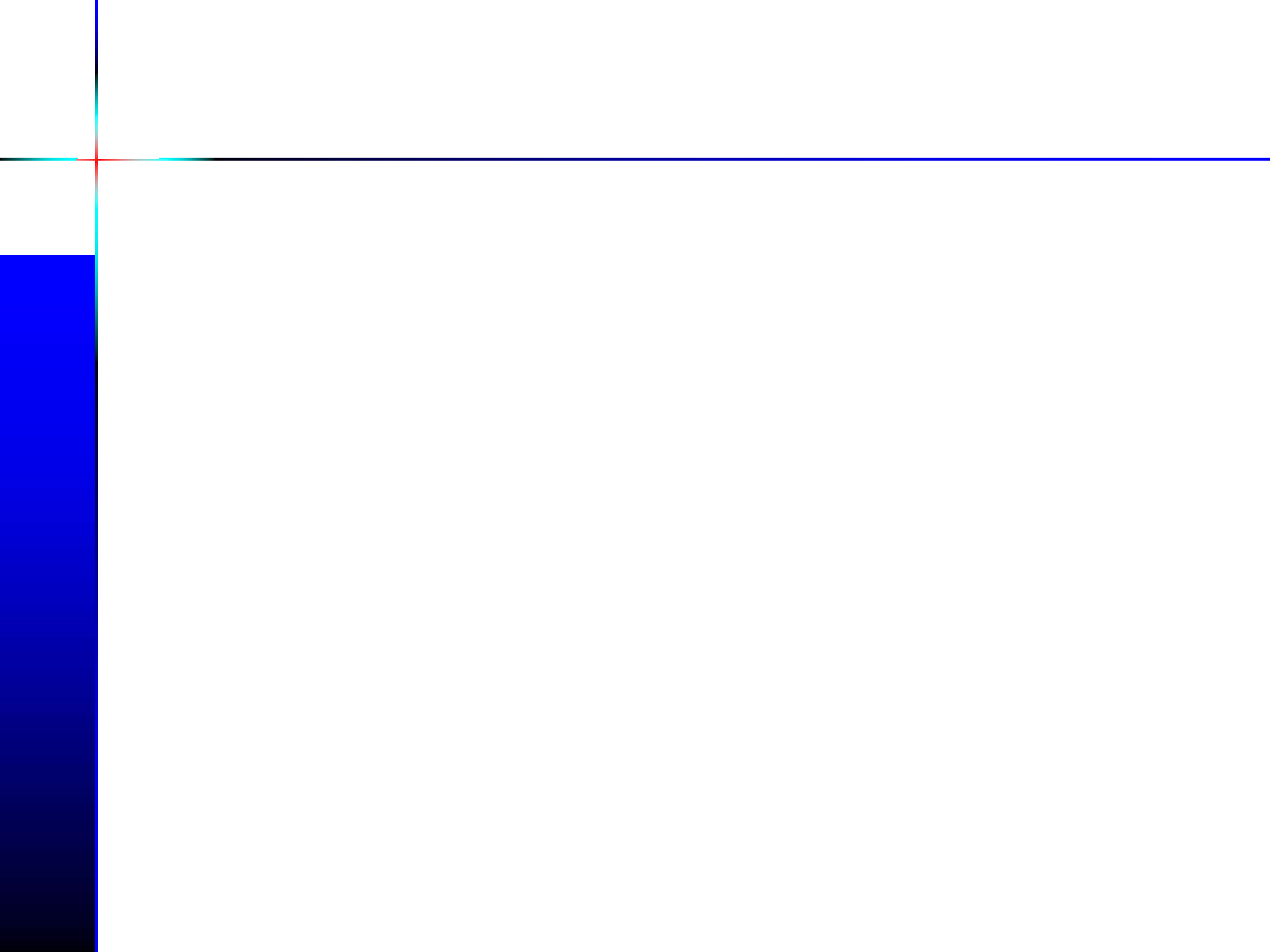
***Слайд*** 13

# Микросхемы памяти

T



Разрядность – количество ЗЭ с одним адресом (ячейка).



***Слайд*** 14



# Организация микросхем памяти

Для синхронизации процессов фиксации и обработки адресной информации ИМС – сигналы RAS (Row Address Strobe) и CAS (Column Address Strobe).

При записи – информация сначала в регистр потом в ячейку. При чтении – из ячейки в регистр и потом на шину. Обычно входной и выходной регистр – один и тот же.

*Усилителисчитывания/записи(УСЗ) служатдля электрическогосогласованиясигналовнавыходахИМС. ОбычночислоУСЗ=числузапоминающихэлементовв строке.*

***Слайд*** 15



# Организация микросхем памяти

Управление памятью – контроллер памяти. Либо входит в состав ЦП либо внешнего по отношению к памяти устройства (в последних ИМС – частично функции контроллера передаются памяти).

ИМС памяти может работать как по синхронному так и асинхронному протоколам. Контроллер памяти – только по синхронному. Типичная операция требует как минимум пяти тактов:

•*Указаниетипаоперациииустановкаадресастроки*

•*ФормированиеRAS*

#### •*Установкаадресастолбца*

•*ФормированиеCAS*

#### •*ВозвратсигналовRASиCASвнеактивноесостояние.*

***Слайд*** 16

# Организация микросхем памяти

Типичный доступ к памяти (на примере чтения):

* Сначала на WE – уровень сигнала операции чтения.
* На адресные входы – адрес строки, сопровождаемый стробом RAS.
* По заднему фронту RAS, адрес – в регистре адреса строки и дешифрируется.
* После стабилизации выбранная строка – подключается к УСЗ.
* На ША подаётся адрес столбца и строб CAS. По заднему фронту CAS адрес – в регистре адреса столбца. Одновременно подготавливается регистр данных.
* После стабилизации сигнала CAS информация с выбранных УСЗ заносится в регистр данных.

###### *Дляуменьшениячислаконтактовмикросхемыадресастрокии* столбцавбольшинствемикросхемподаютсячерезодниитеже контактыпоследовательнововремени(мультиплексируются)и запоминаются,соответственно,врегистреадресастрокии регистреадресастолбцамикросхемы.Мультиплексирование

*обычнореализуетсявнешнейлогикой.*



***Слайд*** 17



# Организация микросхем памяти

Быстродействие ИМС характеризуют 4мя параметрами:

* tRAS- минимальное время от перепада сигнала RAS высокого уровня к низкому до момента появления и стабилизации считанных данных на выходе ИМС. Этот параметр соответствует времени доступа (типично – tRAS = 60 нс).
* tRC – минимальное время от начала доступа к одной строке микросхемы до начала доступа к следующей строке. Иными словами – длительность цикла памяти (при tRAS = 60 нс, tRС = 110 нс).
* tCAS- минимальное время от перепада сигнала CAS высокого уровня к низкому до момента появления и стабилизации считанных данных на выходе ИМС. (для tRAS = 60 нс, tСAS = 15 нс).
* tPC – минимальное время от начала доступа к одному столбцу микросхемы до начала доступа к следующему столбцу (при tRAS = 60 нс, tPС = 35 нс).

***Слайд*** 18



# Организация микросхем памяти

Структурная схема БИС динамичес- кого ОЗУ с четырьмя банками

***Слайд*** 19

# Организация микросхем памяти

Основными компонентами структурной схемы БИС динамического ОЗУ с четырьмя банками являются четыре банка памяти, представляющих собой матрицы элементов памяти с дешифраторами строк и столбцов и усилителями чтения- записи.

Кроме собственно банков памяти, в состав ОЗУ входят :

* буфер адреса, *фиксирующийадресастрокиистолбца;*

###### счетчик регенерации, *формирующийадресстроки,вкоторой* должнавыполнятьсяочереднаярегенерация;

* дешифратор команд, *определяющий,какоедействие (командудолжнавыполнитьмикросхемавсоответствиис поданнымиуправляющимисигналами(исигналомA10);*
* схемы управления, *формирующиеуправляющиесигналыдля остальныхузловмикросхемы;*
* схемы коммутации данных, *передающиечитаемыеили записываемыеданныеиз/вбанкипамяти;*
* буфер ввода /вывода данных, *обеспечивающийсвязь*

###### *микросхемыпамятисшинойданных.*



***Слайд*** 20

# Организация микросхем памяти

Возможности ускорения ядра ЗУ ограничены – связаны с миниатюризацией ЗЭ. Успешнее ускоряют интерфейсную часть ЗУ (шесть фундаментальных подходов):

* Последовательный.
* Конвейерный.
* Регистровый.
* Страничный.
* Пакетный.
* Удвоенной скорости.



***Слайд*** 21

# Организация микросхем памяти

Последовательный режим (Flow Through Mode) – адрес и управляющие сигналы подаются на микросхему до поступления синхроимпульса. В момент прихода синхроимпульса – вся информация запоминается в регистрах (по переднему фронту!) и начинается операция чтения. *Появлениеданныхнавыходе зависиттолькоотскоростивнутреннихцепеймикросхемыи синхронизируетсяТИ.*

* Конвейерный режим (Pipelined Mode) – метод доступа к данным, при котором можно продолжать чтение по предыдущему адресу в процессе запроса по следующему. Чтение можно разбить на два интервала – 1. доступ к массиву и извлечение данных из ячейки и

###### 2. передача данных на выход. *Операциипроизводятся* параллельнововремени.Первыйциклчтения–дольшенаодин такт,всеостальные–быстрее,носмещеныотносительнозапроса наодинтакт. Микросхемысконвейернымрежимоммогут использоватьсявшинахсчастотамивдвоебольшими,чемдля

*ИМСспоследовательнымрежимомчтения.*



***Слайд*** 22



# Организация микросхем памяти

Регистровый режим (Register to Latch) – регистр на выходе микросхемы. Адрес и упр. сигналы на шине до поступления синхроимпульса. По приходу ТИ – цикл чтения -> результаты в промежуточный регистр и хранятся до появления отрицательного фронта ТИ. С его поступлением передаются на шину.

###### *Используетсяредко–вспециализированныхВМ(с* несимметричнымиТИ).Быстродействие=последовательному режиму.

* Страничный (Page Mode) – основан на свойстве локальности по данным(командам) – доступ ко второй и далее ячейкам строки можно осуществлять быстрее -> не нужно менять адрес строки и обрабатывать его, достаточно лишь нового адреса столбца и CAS. Под «страницей» подразумевают строку матрицы ЗЭ ИМС памяти. *Обычномикросхемысостраничнымдоступомхарактеризуют последовательностьювидаx-y-y-y(числотактовнадоступк первойипоследующимвстрокеячейкам).*

***Слайд*** 23

# Организация микросхем памяти

Быстрый страничный режим (Page Mode) – развитие страничного режима. Отличие в способе занесения новой информации в регистр столбца. Полный адрес (строки и столбца) передаётся только при первом обращении к строке. Активизация буферного регистра адреса столбца производится не по сигналу CAS, а по заднему фронту RAS. Сигнал RAS остаётся активным на протяжении всего страничного цикла и позволяет заносить в регистр адреса столбца новую информацию не по заднему фронту CAS, а как только адрес на входе ИМС стабилизируется – т.е. практически по переднему фронту CAS. *Потеривремени сокращаютсянадватакта(передачаадресастрокииRAS).*

##### *Реальныйвыигрыш -лишьприпередачеблоков,*

*хранящихсяводнойстроке.Режимнашёлширокое применениевмикросхемахOЗУ,особеннодинамического*

##### *типа.*



***Слайд*** 24



# Организация микросхем памяти

Пакетный режим (Burst Mode) – режим, при котором на запрос на данные по определённому адресу память возвращает пакет данных - не только запрошенную ячейку, но и ячейки, хранящиеся по нескольким последующим адресам. Разрядность памяти ВМ обычно – 1 байт, а ШД – 4 байта. Соответственно одно обращение к памяти требует последовательного доступа к 4 смежным ячейкам – пакету. Размер пакета может программироваться – 1,2 или 8 ячеек подряд. Адрес столбца заносится в ИМС только для первой ячейки пакета, а переход к очередному столбцу – внутри микросхемы -> исключение трёх из четырёх операций занесения адреса столбца в ИМС -> экономия времени.

* Удвоенной скорости (DDR – Double Data Rate) – передача данных по обоим фронтам синхроимпульса – т.е. дважды за период -> пропускная способность увеличилась в два раза.
* Доп. способы повышения скорости – внутренний кэш и шины…

***Слайд*** 25



# Организация микросхем памяти

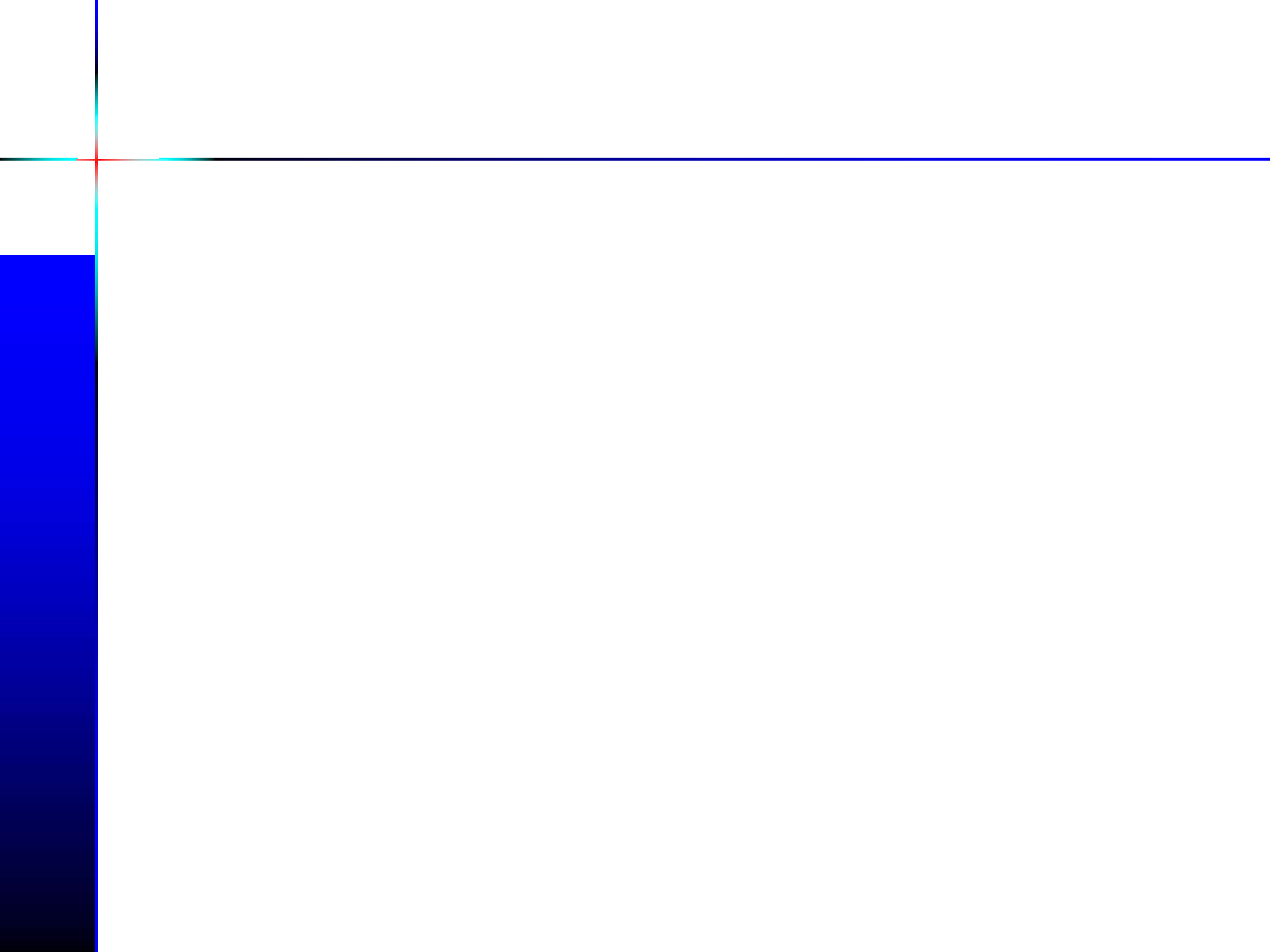
Синхронные ЗУ – все процессы осуществляются одновременно с тактовыми импульсами.

Асинхронные – момент начала следующего действия определяется моментом завершения предыдущего.

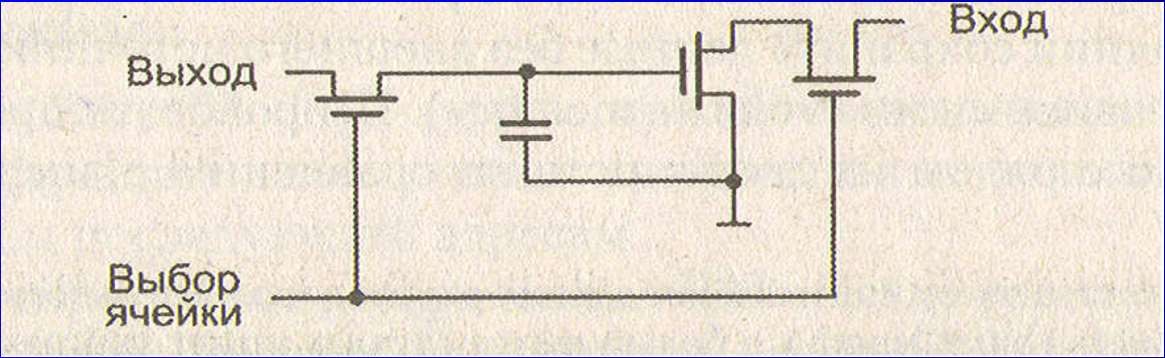
*Но!Контроллерпамятивсегдаработаетсинхронно!*

*СоответственновасинхронныхЗУциклчтения начинаетсяпозапросуотконтроллераиеслипамять неуспеваетвтекущемтактевыдатьданные,то контроллерсможетихсчитатьтольковследующем(по фронтуследующегосинхроимпульса).Смысл асинхроннойсхемытеряется.Впоследнеевремя активнозамещаетсясинхроннымисхемами.*

***Слайд*** 26



Статическое и динамическое ОЗУ

DRAM

Простота схемы DRAM позволяет достичь высокой плотности размещения, в итоге, снизить стоимость.

Главный недостаток - что накапливаемый на конденсаторе заряд со временем теряется. Среднее время утечки заряда DRAM составляет сотни(десятки) миллисекунд, поэтому, заряд следует регенерировать.

Регенерация производится каждые 2-8 мс. Три типа регенерации:

***Слайд*** 27



## Статическое и динамическое ОЗУ

Три типа регенерации:

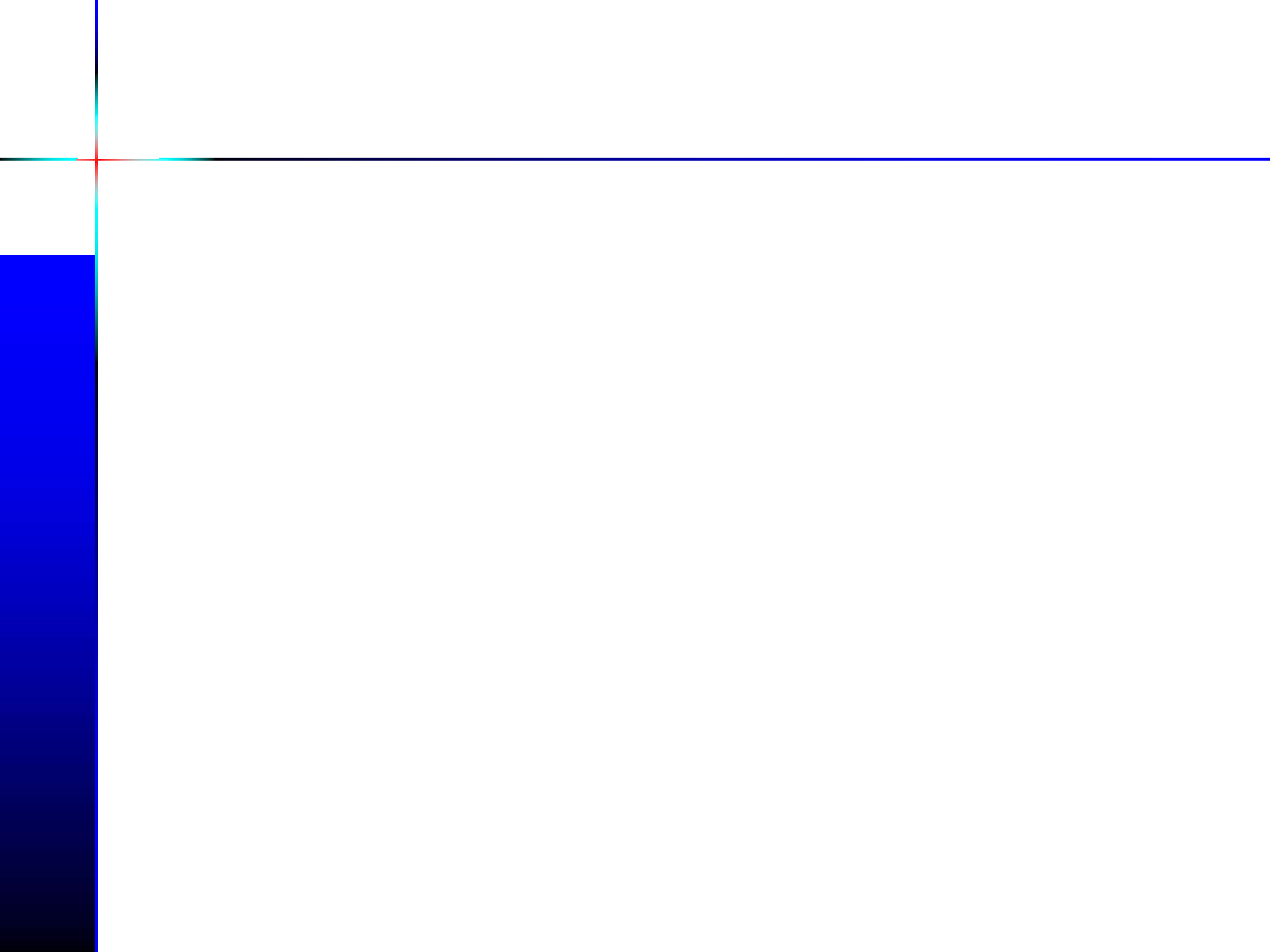
* *однимсигналомRAS(ROR–RASOnlyRefresh)*
* *сигналомCAS,предваряющимRAS(CBR–CASBefore RAS)*

#### *автоматическаярегенерация(SR–SelfRefresh)*

*RORиспользоваласьспервыхDRAM.НаШДподаётся адресрегенерируемойстрокииRAS–ячейкивыбранной строкиповнутреннимцепяммикросхемызаписываются обратно.ТаккаксигналCASнепоявляется,тоцикл чтения/записиненачинается.*

#### *Недостаток–ШАзанятавмоментрегенерации–* доступкдругимустройствамВМпошинеблокирован.

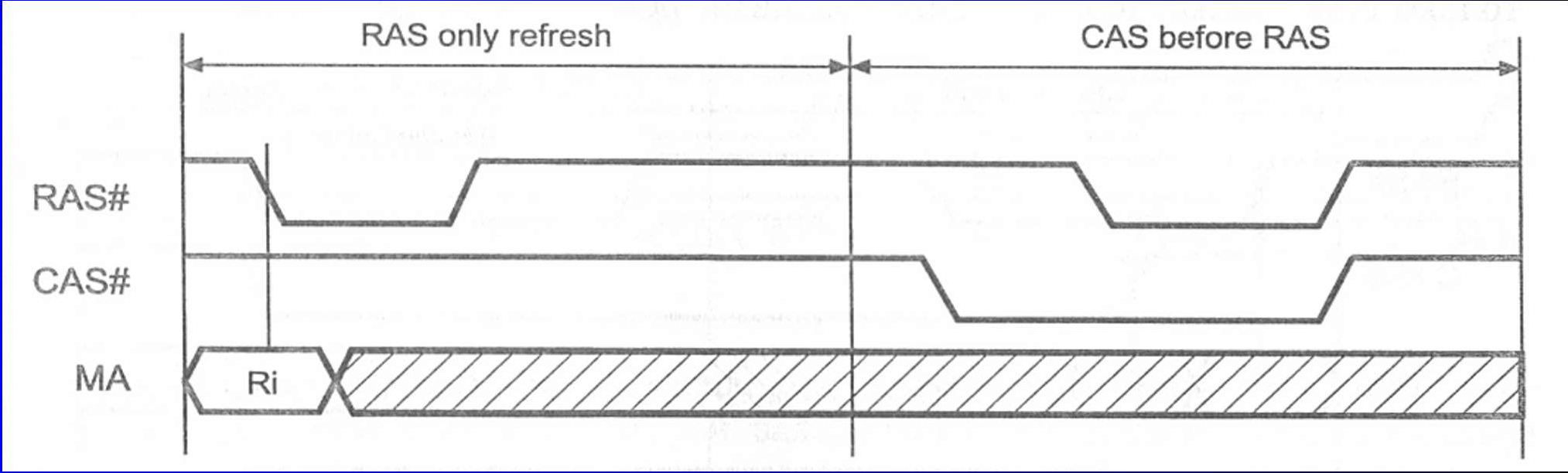
***Слайд*** 28



## Статическое и динамическое ОЗУ

CBR – если поступает сначала RAS а потом CAS то это цикл чтения/записи, если наоборот – то цикл регенерации. Адрес строки не передаётся, ИМС использует внутренний счётчик – по кругу.

*Плюс–ШДнезанятавмоментрегенерации–доступк другимустройствамВМпошинедопускается.*



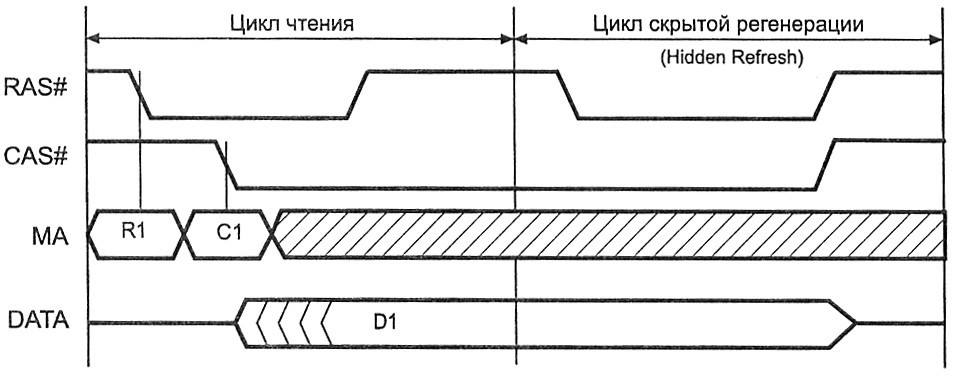
***Слайд*** 29



## Статическое и динамическое ОЗУ

Скрытое выполнение регенерации by CBR.

*ПричтенииDRAMпроисходитпотерязарядавсей строки–ихавтоматическиперезаписываетлогика управленияИМСпамяти.*



***Слайд*** 30



## Статическое и динамическое ОЗУ

Автоматическая регенерация – режим энергосбережения (ЦП не работает, тактовый генератор

– тоже). *ПриотсутствиивнешнихсигналовRASиCAS обновлениеRORиCBRневозможно->ИМСзапускает собственныйгенераторТИипроизводитрегенерацию самостоятельно.*

**Итого:**

SRAM – быстрая (на порядок чем DRAM), но дорогая.

Быстрая синхронная SRAM может иметь время доступа – 1 такт ЦП, но высокая цена. Используется – в кэш L1-L3.

DRAM – даже самые быстрые требуют от 5 до 10 тактов ЦП на выдачу данных, но цена ниже.

***Слайд*** 31

# Computer of the Day

* Интегральные схемы - Integrated Circuits (IC’s)
  + Отдельный чип имеет транзисторы, резисторы и «шины».
  + Изобретены в 1958 фирмой Texas Instruments,
  + Использовались в “третьем поколении” ЭВМ во второй половине 60-х; (1st = tubes, 2nd = transistors).

Некоторые компьютеры на ИС ...

* Бортовая система Apollo (первый комп. на луне)
  + ~5000 ИС: каждый с 3 транзисторами, 4 резисторами.
* Illiac IV – “The most infamous computer” (at that time)
  + Первый “massively parallel” компьютер: До 256 процессоров,
  + Разработан в 60е, построен в ранние 70е, реально использовался 1976-82
  + Цена: $31M : намного больше предусмотренного бюджета
  + Планировалось: 1000 MFLOP/s. Реальность: 15 MFLOP/s (200 MIPS).
    - Превзойдён существовавшими коммерческими машинами типа

Cray-1



***Слайд*** 32